

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 7 月 28 日 (28.07.2005)

PCT

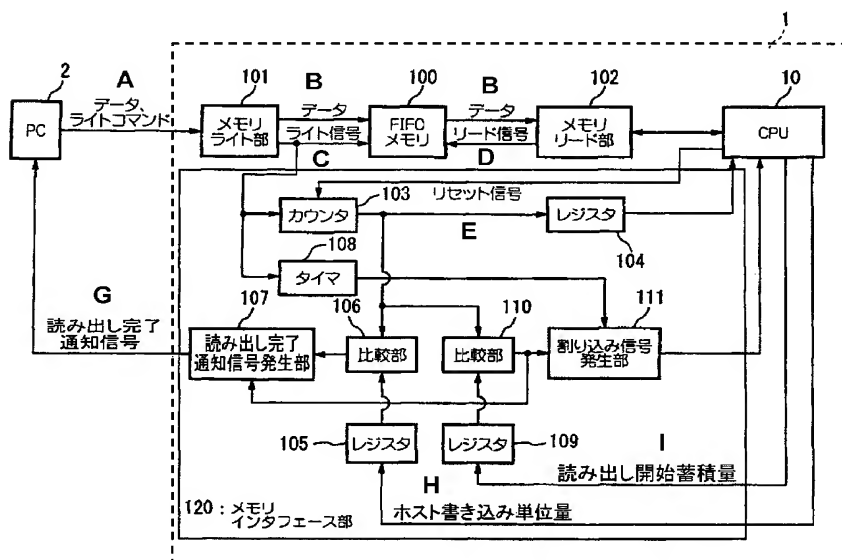
(10) 国際公開番号
WO 2005/069152 A1

- (51) 国際特許分類: G06F 13/38, 3/06, G06K 19/07, 17/00 (71) 出願人 (米国を除く全ての指定国について): セイコーインスツル株式会社 (SEIKO INSTRUMENTS INC.) [JP/JP]; 〒2618507 千葉県千葉市美浜区中瀬 1 丁目 8 番地 Chiba (JP). ボードフォン株式会社 (VODAFONE K.K.) [JP/JP]; 〒1056205 東京都港区愛宕二丁目五番一号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2005/000011
- (22) 国際出願日: 2005 年 1 月 5 日 (05.01.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2004-004960 2004 年 1 月 13 日 (13.01.2004) JP
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 松井 隆行 (MATSUI, Takayuki) [JP/JP]; 〒2618507 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内 Chiba (JP). 池 年正 (IKE, Toshimasa) [JP/JP]; 〒

[続葉有]

(54) Title: MEMORY INTERFACE DEVICE, MEMORY INTERFACE METHOD, AND MODEM DEVICE

(54) 発明の名称: メモリインタフェース装置、メモリインタフェース方法、およびモデム装置



(57) Abstract:

A memory write procedure can be supported in which each time data is written into a memory by a predetermined unit of amount, it is confirmed that reading of data from the memory has been completed, and then the next writing of data into the memory is executed. Additionally, the load of a CPU at the memory-reading end can be reduced. Upon detection of a writing of data from a PC (2) into an FIFO memory (100) by the predetermined unit of amount, a signal is generated which notifies the PC (2) that a reading of data from the FIFO memory (100) has been completed. When the amount of the data stored in the FIFO memory

A DATA, WRITE COMMAND
B DATA
C WRITE SIGNAL
D READ SIGNAL
E RESET SIGNAL
101 MEMORY WRITE PART
100 FIFO MEMORY
102 MEMORY READ PART
103 COUNTER
104 REGISTER
108 TIMER

G READ COMPLETION NOTIFYING SIGNAL
107 READ COMPLETION NOTIFYING SIGNAL GENERATING PART
106 COMPARING PART
110 COMPARING PART
111 INTERRUPT SIGNAL GENERATING PART
105 REGISTER
109 REGISTER
120 MEMORY INTERFACE PART
H HOST WRITE UNIT AMOUNT
I READING START STORAGE AMOUNT

[続葉有]



2618507 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内 Chiba (JP). 野口 正博 (NOGUCHI, Masahiro) [JP/JP]; 〒2618507 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内 Chiba (JP). 渡辺 福三 (WATANABE, Fukuzo) [JP/JP]; 〒1056205 東京都港区愛宕二丁目五番一号 ボーダフォン株式会社内 Tokyo (JP).

(74) 代理人: 松下 義治 (MATSUSHITA, Yoshiharu); 〒1500012 東京都渋谷区広尾 1 丁目 1 1 番 2 号 A I O S 広尾ビル 8 0 7 号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(100) reaches a predetermined reading start storage amount, an interrupt signal is generated and applied to a CPU (10) of a PC card (1).

(57) 要約: 所定量単位でメモリにデータを書き込む度に、当該メモリからのデータの読み出しが完了したことを確認してから、次の当該メモリへのデータ書き込みを行うメモリ書き込み手順に対応することができ、且つ、メモリ読み出し側の CPU の負荷軽減を図る。PC2 から FIFO メモリ 100 へ所定量単位のデータ書き込みが検出された場合に、PC2 に対して、FIFO メモリ 100 からのデータの読み出しが完了したことを通知する信号を発生し、FIFO メモリ 100 内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、PC カード 1 の CPU 10 に対して割り込み信号を発生する。

明 細 書

メモリインタフェース装置、メモリインタフェース方法、およびモデム装置 技術分野

[0001] 本発明は、メモリインタフェース装置、メモリインタフェース方法、およびモデム装置に関する。

背景技術

[0002] 従来、PCカードと呼ばれるカード型電子装置があり、携帯型パーソナルコンピュータ等の機能拡張用に各種機能を具備するものが実現されている。例えば、モデム、LAN、無線電話等の通信カードやメモ리카ードなどがある。それらのPCカードは、ホスト装置(例えば、携帯型パーソナルコンピュータ)に装着されて使用される。

[0003] PCカードは、ホスト装置のCPUとの間でデータを送受信するときのバッファとしてのFIFO(First In First Out)メモリと、このFIFOメモリへのアクセスを制御するインタフェース回路とを備えている。そして、そのFIFOメモリを介することにより、ホスト装置のCPUとの間でデータ通信速度を整合することができる。

[0004] 上記したFIFOメモリを介してホスト装置からPCカードへデータを送る場合の従来の手順は、まず、ホスト装置が送信データを一定量(例えば16バイト)のデータに分割し、この分割したデータの一つをFIFOメモリに書き込む。次いで、この書き込みの検出により、FIFOメモリのインタフェース回路が、PCカードのCPUへFIFOメモリ内にデータが有ることを通知するために、割り込み信号を発生する。次いで、この割り込み処理において、PCカードのCPUが、FIFOメモリからデータを読み出す。次いで、この読み出しの検出により、FIFOメモリのインタフェース回路が、読み出し完了通知信号をホスト装置へ出力する。この読み出し完了通知により、ホスト装置のCPUは、次のデータがある場合にはFIFOメモリに書き込む。

[0005] このように、従来は、ホスト装置が送信データを一定量のデータに分割し、この分割したデータ毎に上記した手順を繰り返すことにより、PCカードへのデータ送信を行っている。

[0006] また、FIFOメモリからデータを読み出すCPUの負荷を軽減するために、FIFOメモ

リ内に蓄積されたデータ量が所定量となった場合に割り込み信号を発生するようにしたカウント機能付きFIFOメモリが知られている(例えば、特許文献1参照)。

[特許文献1] 特開平6-325565号公報(第2頁、第1図)

近年、PCカードに搭載されるFIFOメモリは大容量化が可能となっている。これにより、ホスト装置からPCカードへ送る一回分のデータ量をFIFOメモリの最大蓄積容量に合わせて増大させれば、送信データの分割数が減るので、PCカードのCPUへの割り込み発生回数を減らすことができるとともに、一つの割り込み処理で扱うデータ量を増やすことができるので、割り込み処理による負荷が軽減される、データ処理をまとめて実行できるので効率的である、などの要因により処理速度の向上を図ることが可能となる。

[0007] しかしながら、そのためには、ホスト装置のCPUが実行する既存の通信制御プログラムを変更して、ホスト装置からPCカードへ送る一回分のデータ量を新しいFIFOメモリに合わせる必要がある。また、PCカードに搭載するFIFOメモリをバージョンアップする都度、新しいFIFOメモリに合わせてホスト装置用の通信制御プログラムを変更することは、コストアップの要因となるばかりかバグ等の不良要因を増加させることとなる。このような理由から、ホスト装置用の既存の通信制御プログラムは流用したいという要求がある。

[0008] 同様の理由から、上記したカウント機能付きFIFOメモリについても、ホスト装置用の通信制御プログラムを変更しなければその効果が得られないので、適用し難い。

発明の開示

[0009] 本発明は、このような事情を考慮してなされたもので、その目的は、所定量単位でメモリにデータを書き込む度に、当該メモリからのデータの読み出しが完了したことを確認してから、次の当該メモリへのデータ書き込みを行うメモリ書き込み手順に対応することができ、且つ、メモリ読み出し側のCPUの負荷を軽減することができるメモリインタフェース装置及びメモリインタフェース方法を提供することにある。

[0010] 上記の課題を解決するために、本発明のメモリインタフェース装置は、所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守

するメモリ書き込み装置、及び前記メモリからデータを読み出すメモリ読み出し装置、
に対してメモリアクセスを制御するメモリインタフェース装置において、前記メモリ書き
込み装置から前記メモリへの前記所定量単位 of データ書き込みを検出する書き込み
検出手段と、前記所定量単位 of データ書き込みが検出された場合に、前記メモリ書
き込み装置に対して、前記メモリからのデータの読み出しが完了したことを通知する
信号を発生する信号発生手段と、前記メモリ内のデータ蓄積量を計測するデータ蓄
積量計測手段と、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達
した場合に、前記メモリ読み出し装置に対して割り込み信号を発生するメモリ読み出
し制御手段と、を備えたことを特徴としている。

[0011] この構成によれば、メモリ書き込み装置からの所定量単位 of データ書き込みの度に
読み出し完了通知信号を発生するので、当該メモリ書き込み装置におけるメモリ書き
込み手順に対応することができる。さらに、メモリ内に該メモリ書き込み手順による所
定量以上のデータを蓄積し、当該メモリ書き込み装置から書き込まれたデータをまと
めて読み出すことができるので、メモリ読み出し装置への割り込み発生回数を減らす
ことができるとともに、当該メモリ読み出し装置が一つの割り込み処理で扱うデータ量
を増やして効率よく処理することができ、当該メモリ読み出し装置の負荷が軽減され
る。

[0012] 本発明のメモリインタフェース装置は、所定量単位でメモリにデータを書き込む度に
、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリ
へのデータ書き込みを行うメモリ書き込み手順を遵守するメモリ書き込み装置に接続
され、該メモリ書き込み装置に対してメモリアクセスを制御するメモリインタフェース装
置において、前記メモリ書き込み装置から前記メモリへの前記所定量単位 of データ
書き込みを検出する書き込み検出手段と、前記所定量単位 of データ書き込みが検
出された場合に、前記メモリ書き込み装置に対して、前記メモリからのデータの読み
出しが完了したことを通知する信号を発生する信号発生手段と、前記メモリ内のデー
タ蓄積量を計測するデータ蓄積量計測手段と、前記メモリからデータを読み出し該デ
ータに対して所定の処理を行うデータ処理手段と、前記メモリ内のデータ蓄積量が所
定の読み出し開始蓄積量に到達した場合に、前記データ処理手段に対して割り込

み信号を発生するメモリ読み出し制御手段とを備えたことを特徴としている。

[0013] この構成によれば、メモリ書き込み装置からの所定量単位のデータ書き込みの度に読み出し完了通知信号を発生するので、当該メモリ書き込み装置におけるメモリ書き込み手順に対応することができる。さらに、メモリ内に該メモリ書き込み手順による所定量以上のデータを蓄積し、当該メモリ書き込み装置から書き込まれたデータをまとめて読み出すことができるので、メモリ読み出し装置またはデータ処理手段への割り込み発生回数を減らすことができるとともに、当該メモリ読み出し装置またはデータ処理手段が一つの割り込み処理で扱うデータ量を増やして効率よく処理することができ、当該メモリ読み出し装置またはデータ処理手段の負荷が軽減される。

[0014] また、本発明のメモリインタフェース装置においては、前記メモリ読み出し制御手段は、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記信号発生手段による信号発生を一時的に停止させることを特徴とする。

[0015] この構成によれば、メモリ内にはデータが蓄積されていないものと判断してデータを書き込んでいるメモリ書き込み装置に対して、該データ書き込みを停止させ、メモリの最大蓄積容量を超えてデータが書き込まれることを防止することができる。

[0016] また、本発明のメモリインタフェース装置においては、前記所定量単位のデータ書き込みが途切れている期間を計時し、この計時値が所定のタイマ期間に達すると、前記メモリ読み出し制御手段へタイムアウト信号を出力するタイマを備え、前記メモリ読み出し制御手段は、前記タイムアウト信号を受信した場合にも、前記メモリ読み出し装置に対して割り込み信号を発生することを特徴とする。

[0017] この構成によれば、メモリ書き込み装置の総書き込みデータ量が読み出し開始蓄積量未満であり、メモリ内には読み出し開始蓄積量までデータが蓄積されずに、メモリ書き込み装置からのデータ書き込みが終了する場合に対応することが可能となる。

[0018] 本発明のメモリインタフェース方法は、所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するメモリ書き込み装置、及び前記メモリからデータを読み出すメモリ読み出し装置、に対してメモリアクセスを制御するメモリインタフェース方法であって、前記メモリ書き込み装置から前記メモリへの

前記所定量単位 of データ書き込みを検出する過程と、前記所定量単位 of データ書き込みが検出された場合に、前記メモリ書き込み装置に対して、前記メモリからのデータの読み出しが完了したことを通知する過程と、前記メモリ内のデータ蓄積量を計測する過程と、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生する過程と、を含むことを特徴としている。

[0019] また、本発明のメモリインタフェース方法においては、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記読み出し完了通知を一時的に停止させる過程をさらに含むことを特徴とする。

[0020] また、本発明のメモリインタフェース方法においては、前記所定量単位 of データ書き込みが途切れている期間を計時する過程と、この計時値が所定のタイマ期間に達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生する過程と、をさらに含むことを特徴とする。

[0021] 本発明のメモリインタフェース装置は、所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守する第1のメモリ書き込み読み出し装置、及び前記メモリにデータを書き込み読み出す第2のメモリ書き込み読み出し装置、に対してメモリアクセスを制御するメモリインタフェース装置において、前記第1のメモリ書き込み読み出し装置から前記メモリへの前記所定量単位 of データ書き込みを検出する書き込み検出手段と、前記所定量単位 of データ書き込みが検出された場合に、前記第1のメモリ書き込み読み出し装置に対して、前記メモリからのデータの読み出しが完了したことを通知する信号を発生する第1の完了信号発生手段と、前記メモリ内のデータ蓄積量を計測する第1のデータ蓄積量計測手段と、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記第2のメモリ書き込み読み出し装置に対して割り込み信号を発生する第1のメモリ読み出し制御手段と、前記第2のメモリ書き込み読み出し装置から前記メモリへの所定量のデータ書き込みを検出する書き込み量検出手段と、前記所定量のデータ書き込みが検出された場合に、前記第1のメモリ書き込み読み出し装置に対して、前記メモリへのデー

タの書き込みの完了を通知する信号を発生する第2の完了信号発生手段と、前記メモリ内のデータ蓄積量を計測する第2のデータ蓄積量計測手段と、前記メモリ内のデータ蓄積量が所定の読み出し完了蓄積量に到達した場合に、前記第2のメモリ書き込み読み出し装置に対して割り込み信号を発生する第2のメモリ読み出し制御手段と、を備えたことを特徴としている。

[0022] この構成によれば、第1のメモリ書き込み読み出し装置からの所定量単位のデータ書き込みの度に読み出し完了通知信号を発生するので、当該メモリ書き込み読み出し装置におけるメモリ書き込み手順に対応することができる。さらに、メモリ内に該メモリ書き込み手順による所定量以上のデータを蓄積し、当該メモリ書き込み読み出し装置から書き込まれたデータをまとめて読み出すことができるので、第2のメモリ書き込み読み出し装置への割り込み発生回数を減らすことができるとともに、当該メモリ書き込み読み出し装置が一つの割り込み処理で扱うデータ量を増やして効率よく処理することができる。

[0023] また、第2のメモリ書き込み読み出し装置からの所定量単位のデータ書き込後に書き込み完了通知信号を第1のメモリ書き込み読み出し装置発生するので、第2のメモリ書き込み読み出し装置から書き込まれたデータをまとめて読み出すことができ効率よく処理することができる。これにより第1および第2のメモリ書き込み読み出し装置の負荷が軽減される。

[0024] また、本発明のメモリインターフェース装置においては、前記第1のメモリ読み出し制御手段は、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記第1の完了信号発生手段による信号発生を一時的に停止させることを特徴とする。

[0025] この構成によれば、メモリ内にはデータが蓄積されていないものと判断してデータを書き込んでいるメモリ書き込み装置に対して、該データ書き込みを停止させ、メモリの最大蓄積容量を超えてデータが書き込まれることを防止することができる。

[0026] また、本発明のメモリインターフェース装置においては、前記所定量単位のデータ書き込みが途切れている期間を計時し、この計時値が所定のタイマ期間に達すると、前記第1のメモリ読み出し制御手段へタイムアウト信号を出力する第1のタイマを備え

、前記第1のメモリ読み出し制御手段は、前記タイムアウト信号を受信した場合にも、前記第2のメモリ書き込み読み出し装置に対して割り込み信号を発生することを特徴とする。

[0027] この構成によれば、第1のメモリ書き込み読み出し装置の総書き込みデータ量が読み出し開始蓄積量未満であり、メモリ内には読み出し開始蓄積量までデータが蓄積されずに、第1のメモリ書き込み読み出し装置からのデータ書き込みが終了する場合に対応することが可能となる。

[0028] また、本発明のメモリインターフェース装置においては、前記第2のメモリ書き込み読み出し装置からメモリへのデータ書き込みが途切れている期間を計時し、この計時値が所定のタイマ期間に達すると、前記第2の完了信号発生手段タイムアウト信号を出力する第2のタイマを備え、前記第2の完了信号発生手段は、前記タイムアウト信号を受信した場合に、前記第1のメモリ書き込み読み出し装置に対して完了通知信号を発生することを特徴とする。

[0029] この構成によれば、第2のメモリ書き込み読み出し装置の総書き込みデータ量が書き込み完了蓄積量未満であり、メモリ内には書き込み完了蓄積量までデータが蓄積されずに、第2のメモリ書き込み読み込み装置からのデータ書き込みが終了する場合に対応することが可能となる。

[0030] 本発明のメモリインタフェース方法は、所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守する第1のメモリ書き込み読み出し装置、及び前記メモリにデータを書き込み読み出す第2のメモリ書き込み読み出し装置、に対してメモリアクセスを制御するメモリインタフェース方法であって、前記メモリ書き込み装置から前記メモリへの前記所定量単位の前記データ書き込みを検出する過程と、前記所定量単位の前記データ書き込みが検出された場合に、前記第1のメモリ書き込み読み出し装置に対して、前記メモリからのデータの読み出しが完了したことを通知する過程と、前記メモリ内のデータ蓄積量を計測する過程と、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生する過程と、前記第2のメモリ書き込み読み出し装置

から前記メモリへの所定量のデータ書き込みを検出する過程と、前記所定量のデータ書き込みが検出された場合に、前記第1のメモリ書き込み読み出し装置に対して、前記メモリのデータの書き込みの完了を通知する信号を発生する過程と、前記メモリ内のデータ蓄積量を計測する過程と、前記メモリ内のデータ蓄積量が所定の読み出し完了蓄積量に到達した場合に、前記第2のメモリ書き込み読み出し装置に対して割り込み信号を発生する過程と、を含むことを特徴としている。

[0031] また、本発明のメモリインタフェース方法においては、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記読み出し完了通知を一時的に停止させる過程をさらに含むことを特徴とする。

[0032] また、本発明のメモリインタフェース方法においては、前記所定量単位のデータ書き込みが途切れている期間を計時する過程と、この計時値が所定のタイマ期間に達した場合に、前記第2のメモリ書き込み読み出し装置に対して割り込み信号を発生する過程とをさらに含むことを特徴とする。

[0033] また、本発明のメモリインタフェース方法においては、前記第2のメモリ書き込み読み出し装置からメモリへのデータ書き込みが途切れている期間を計時する過程と、この計時値が所定のタイマ期間に達すると、タイムアウト信号を出力する過程と、前記タイムアウト信号により前記第1のメモリ書き込み読み出し装置に対して完了信号を出力する過程とをさらに含むことを特徴とする。

[0034] 本発明のモデム装置は、所定量単位でメモリに通信データ、制御コマンドのデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するデータ処理装置に接続され、前記データ処理装置とのデータ交換を行うモデムインターフェースと、前記メモリと、前期メモリから前記データを読み出すメモリ読み出し装置と、前期メモリ読み出し装置に接続され前記通信データを送受信する通信手段とを備えたモデム装置において、前記メモリ書き込み装置から前記メモリへの前記所定量単位のデータ書き込みを検出する書き込み検出手段と、前記所定量単位のデータ書き込みが検出された場合に、前記データ処理装置に対して、前記メモリからのデータの読み出しが完了したことを通知する信号を発生する信号発生手段と、前記メモリ内のデータ

蓄積量を計測するデータ蓄積量計測手段と、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生するメモリ読み出し制御手段と、を備えたことを特徴とする。

- [0035] また本発明のモデム装置は、所定量単位でメモリに通信データ、制御コマンドのデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するデータ処理装置に接続され、前記データ処理装置とのデータ交換を行うモデムインターフェースと、前記メモリと、前期メモリに前記データを書き込み読み出すメモリ書き込み読み出し装置と、前期メモリ書き込み読み出し装置に接続され前記通信データを送受信する通信手段とを備えたモデム装置において、前記メモリ書き込み読み出し装置から前記メモリへの前記所定量単位のデータ書き込みを検出する書き込み検出手段と、前記所定量単位のデータ書き込みが検出された場合に、前記データ処理装置に対して、前記メモリからのデータの読み出しが完了したことを通知する信号を発生する第1の完了信号発生手段と、前記メモリ内のデータ蓄積量を計測する第1のデータ蓄積量計測手段と、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生する第1のメモリ読み出し制御手段と、前記メモリ書き込み読み出し装置から前記メモリへの所定量のデータ書き込みを検出する書き込み量検出手段と、前記所定量のデータ書き込みが検出された場合に、前記データ処理装置に対して、前記メモリのデータの書き込みの完了を通知する信号を発生する第2の完了信号発生手段と、前記メモリ内のデータ蓄積量を計測する第2のデータ蓄積量計測手段と、前記メモリ内のデータ蓄積量が所定の読み出し完了蓄積量に到達した場合に、前記メモリ書き出し読み出し装置に対して割り込み信号を発生する第2のメモリ読み出し制御手段と、を備えたことを特徴とする。

図面の簡単な説明

- [0036] 図1は本発明の一実施形態に係るメモリインタフェース装置を具備するPCカード1の構成を示すブロック図である。
- [0037] 図2は図1に示すPCカード1と装着相手である携帯型パーソナルコンピュータ2の

外観図である。

[0038] 図3は本発明の一実施形態に係るメモリインタフェース処理の流れを示す第1のシーケンスチャートである。

[0039] 図4は本発明の一実施形態に係るメモリインタフェース処理の流れを示す第2のシーケンスチャートである。

[0040] 図5は本発明の第二の実施形態に係るメモリインタフェース装置を具備するPCカード1aの構成を示すブロック図である。

[0041] 図6は本発明の第二の実施形態に係るメモリインタフェース処理の流れを示す第1のシーケンスチャートである。

[0042] 図7は本発明の第二の実施形態に係るメモリインタフェース処理の流れを示す第2のシーケンスチャートである。

[0043] 図8は本発明を無線モデム装置1bに応用した場合の構成を示すブロック図である。

発明を実施するための最良の形態

[0044] 以下、図面を参照し、本発明の一実施形態を説明する。本実施形態においては、メモリインタフェース装置がPCカードと呼ばれるカード型電子装置に具備される場合を例に挙げて説明する。

[0045] 図1は、本発明の一実施形態に係るメモリインタフェース装置を具備するPCカード1の構成を示すブロック図である。図2は、そのPCカード1と装着相手である携帯型パーソナルコンピュータ(以下、単にPCと称する)2の外観図である。

[0046] 図2に示されるように、PCカード1はPC2のPCカードスロット20に装着することが可能である。そして、図1には、PCカード1がPC2に装着された場合に、PC2のCPU(図示せず)からPCカード1のCPU10へデータを送るための構成のみが示されており、その他の構成は省略している。

[0047] 図1のPCカード1において、FIFOメモリ100は、PC2のCPUから、データを受信するときのバッファとして機能する。

[0048] PC2のCPUは、このFIFOメモリ100を介してPCカード1のCPU10へデータを受け渡す。ここで、PC2におけるメモリ書き込み手順を説明する。まず、PC2のCPUは

、送信データを一定量のデータに分割する。そして、該所定量単位でFIFOメモリ100にデータを書き込む度に、FIFOメモリ100からのデータの読み出しが完了したことを確認してから、次のFIFOメモリ100へのデータ書き込みを行う。PC2のCPUは、PCカード1からの読み出し完了通知信号(図1参照)の受信により、FIFOメモリ100からのデータの読み出しが完了したと判断する。

- [0049] 図1のPCカード1において、メモリライト部101は、PC2からデータ及びライトコマンドを受信すると、FIFOメモリ100に対し、ライト信号を出力して該受信データを書き込む。
- [0050] メモリリード部102は、CPU10からデータ読み出し指示を受けると、FIFOメモリ100に対し、リード信号を出力してデータを読み出し、該読み出したデータをCPU10へ出力する。
- [0051] カウンタ103は、FIFOメモリ100へのライト信号を計数する。この計数値は、FIFOメモリ100内のデータ蓄積量を示す。例えば、ライト信号がバイト単位で出力される場合には、カウンタ103の計数値はFIFOメモリ100内のデータ蓄積量をバイト単位で示している。また、カウンタ103は、CPU10からのリセット信号により計数値をゼロに設定する。このリセット信号は、CPU10がメモリリード部102を介してFIFOメモリ100から蓄積されたデータを全て読み出した時に出力される。
- [0052] レジスタ104は、カウンタ103の計数値、即ちFIFOメモリ100内のデータ蓄積量を保持する。このレジスタ104の保持値は、CPU10から読み出し可能である。このレジスタ104により、CPU10は、FIFOメモリ100内のデータ蓄積量を取得することができる。
- [0053] レジスタ105は、上記したPC2におけるメモリ書き込み手順のFIFOメモリ100へのデータ書き込み単位量(ホスト書き込み単位量)を保持する。このホスト書き込み単位量は、CPU10により任意の値に設定可能である。
- [0054] 比較部106は、カウンタ103の計数値すなわちFIFOメモリ100内のデータ蓄積量と、レジスタ105の保持値すなわちホスト書き込み単位量とを比較する。そして、双方が一致した場合に、読み出し完了通知信号発生部107へ一致信号を出力する。
- [0055] 読み出し完了通知信号発生部107は、比較部106から一致信号を受信すると、読

み出し完了通知信号を発生してPC2へ出力する。すなわち、PC2による上記した所定量単位のFIFOメモリ100へのデータ書き込みが検出された場合に、読み出し完了通知信号を発生する。これにより、PC2のCPUは、FIFOメモリ100からのデータ読み出しが実際には完了していないが、該読み出し完了通知信号の受信によりFIFOメモリ100からのデータ読み出しが完了したと判断して、次のFIFOメモリ100へのデータ書き込みを行う。この結果、FIFOメモリ100には、PC2による上記したデータ書き込みの所定量を超えてデータが蓄積されることとなる。

[0056] また、読み出し完了通知信号発生部107は、後述する停止信号を受信している期間において、読み出し完了通知信号の発生を停止する。

[0057] タイマ108は、FIFOメモリ100へのライト信号が途切れている期間を計時する。そして、計時値が所定のタイマ期間に達すると(タイムアウト時)、割り込み信号発生部111へタイムアウト信号を出力する。

[0058] レジスタ109は、FIFOメモリ100からのデータの読み出し開始時期を示す蓄積量(読み出し開始蓄積量)を保持する。この読み出し開始蓄積量は、CPU10により任意の値に設定可能である。例えば、FIFOメモリ100の最大蓄積容量に合わせて設定される。

[0059] 比較部110は、カウンタ103の計数値すなわちFIFOメモリ100内のデータ蓄積量と、レジスタ109の保持値すなわち読み出し開始蓄積量とを比較する。そして、双方が一致した場合に、割り込み信号発生部111へ一致信号を出力する。

[0060] また、この一致信号は、上記した読み出し完了通知信号発生部107への停止信号となる。すなわち、FIFOメモリ100内のデータ蓄積量が読み出し開始蓄積量に到達した場合には、読み出し完了通知信号の発生を停止させる。これにより、FIFOメモリ100内にはデータが蓄積されていないものと判断してデータを書き込んでいるPC2に対して、該データ書き込みを停止させ、FIFOメモリ100の最大蓄積容量を超えてデータが書き込まれることを防止することができる。

[0061] 割り込み信号発生部111は、比較部110から一致信号を受信した場合、又は、タイマ108からタイムアウト信号を受信した場合に、割り込み信号を発生してCPU10へ出力する。この割り込み信号を受けると、CPU10は、レジスタ104からデータ蓄積量

を取得し、このデータ蓄積量に相当する回数分のデータ読み出し動作をメモリリード部102を介して行う。これにより、FIFOメモリ100内に蓄積されたデータが、CPU10により全て読み出される。この読み出し完了後に、CPU10は、カウンタ103をリセットする。

[0062] なお、本実施形態においては、メモリインタフェース部120は、上記図1のPCカード1の各部のうち、カウンタ103、レジスタ104, 105, 109、比較部106, 110、読み出し完了通知信号発生部107、タイマ108及び割り込み信号発生部111を含むものである。

[0063] 次に、図3、図4を参照して、上記図1に示すPCカード1におけるメモリインタフェースに係る動作を説明する。図3、図4は、本実施形態に係るメモリインタフェース処理の流れを示す第1、第2のシーケンスチャートである。

[0064] 初めに、図3を参照して、第1のシーケンスを説明する。この第1のシーケンスは、FIFOメモリ100内に読み出し開始蓄積量(例えばFIFOメモリ100の最大蓄積容量)までデータが蓄積される場合を示している。これは、PC2の送信データ量が読み出し開始蓄積量以上である場合に対応する。

[0065] 図3において、PC2が所定量単位(図3の例では16バイト単位)でFIFOメモリ100にデータを書き込む(ステップS1)。このデータ書き込みの度に、PCカード1のメモリインタフェース部120は、読み出し完了通知信号発生部107により読み出し完了通知信号を発生し、PC2へ出力する(ステップS2)。

[0066] 次いで、FIFOメモリ100内のデータ蓄積量がレジスタ109に保持される読み出し開始蓄積量に到達すると、メモリインタフェース部120は、割り込み信号発生部111により割り込み信号を発生し、CPU10へ出力する(ステップS3)。この時、読み出し完了通知信号発生部107には比較部110からの停止信号が入力されて、読み出し完了通知信号の発生が停止する。

[0067] 次いで、その割り込みにより、CPU10がレジスタ104からデータ蓄積量を読み出す(ステップS4、S5)。そして、その読み出したデータ蓄積量に基づいてFIFOメモリ100から全蓄積データを読み出す(ステップS6)。この読み出しが完了すると、CPU10がカウンタ103をリセットする(ステップS7)。このカウンタリセットにより上記比較部11

0からの停止信号出力が解除されて、読み出し完了通知信号発生部107が読み出し完了通知信号の発生を再開し、PC2へ読み出し完了通知信号を出力する(ステップS2a)。

[0068] 次に、図4を参照して、第2のシーケンスを説明する。この第2のシーケンスは、FIFOメモリ100内には読み出し開始蓄積量までデータが蓄積されずに、PC2からのデータ書き込みが終了する場合を示している。これは、PC2の送信データ量が読み出し開始蓄積量未満である場合に対応する。

[0069] 図4において、上記図3と同様に、PC2が所定量単位でFIFOメモリ100にデータを書き込み、このデータ書き込みの度に、PCカード1のメモリインタフェース部120が、読み出し完了通知信号発生部107により読み出し完了通知信号を発生し、PC2へ出力する(ステップS1、S2)。この時、タイマ108は、FIFOメモリ100へのデータ書き込みの度にリセットされている。

[0070] 次いで、PC2からのデータ書き込みが終了した後、タイマ108がタイマ期間を満了し、タイムアウトすると、メモリインタフェース部120は、割り込み信号発生部111により割り込み信号を発生し、CPU10へ出力する(ステップS3a)。この割り込みにより、CPU10が、上記図3と同様にして、FIFOメモリ100から全蓄積データを読み出し、カウンタ103をリセットする(ステップS4〜S7)。

[0071] 上述したように本実施形態によれば、PC2からの所定量単位のデータ書き込みの度に読み出し完了通知信号を発生するので、上記したPC2におけるメモリ書き込み手順に対応することができ、PC2(ホスト装置)用の既存の通信制御プログラムを流用することができる。

[0072] さらに、FIFOメモリ100内に該メモリ書き込み手順による所定量以上のデータを蓄積し、PC2から書き込まれたデータをまとめて読み出すことができるので、PCカード1のCPU10への割り込み発生回数を減らすことができるとともに、CPU10が一つの割り込み処理で扱うデータ量を増やすことができる。この結果、割り込み処理による負荷が軽減されること、データ処理をまとめて効率的に実行できること等により、PCカード1のCPU10の負荷が軽減されて、処理速度が向上するという優れた効果が得られる。

- [0073] また、PCカード1のCPU10は、FIFOメモリ100内のデータ蓄積量を把握した上で、FIFOメモリ100からデータを読み出すことができるので、データ処理を計画的に行うことができる。
- [0074] 次に本発明の第2の実施形態を説明する。第2の実施形態においては、PCカードからPCへのデータの書き込みにも対応する構成とした。図5に本発明の第2の実施形態に係るメモリインタフェース装置を具備するPCカード1aの構成を示す。ここで、図1と同様の構成や動作、すなわちPCからPCカードへのデータの書き込みについては説明を省略する。
- [0075] 図5のPCカード1aにおいて、FIFOメモリ100は、図1と同様にPC2のCPUから、データを受信するときのバッファとして機能すると共に、ここではデータを送信する時のバッファとしても機能する。
- [0076] PC2のCPUは、このFIFOメモリ100を介してPCカード1aのCPU10へデータを受け渡し、且つPCカード1aのCPU10は、このFIFOメモリ100を介してPC2のCPUへデータを受け渡す。
- [0077] 次にPC2におけるメモリ読み込み手順を説明する。まず、PCカード1aのCPU10は、メモリライト部202にFIFOメモリ100に対してライト信号を出力させ、データのFIFOメモリ100への書き込みを行う。メモリリード部201は、PC2からのリードコマンドを受信して、リード信号をFIFOメモリ100に出力し、FIFOメモリ100からPC2へデータを送信する。PC2のCPUは、PCカード1aからの書き込み完了通知信号(図5参照)の受信により、FIFOメモリ100からのデータの読み込みがの準備が完了したと判断する。
- [0078] カウンタ203は、メモリライト部202からのFIFOメモリ100へのライト信号、およびメモリリード部201からのFIFOメモリ100へのリード信号を計数する。カウンタ203は、メモリライト部202からのFIFOメモリ100へのライト信号によりカウントアップし、メモリリード部201からのFIFOメモリ100へのリード信号によりカウントダウンする。これによりカウンタ203内の計数値は、FIFOメモリ100内のデータ蓄積量を示す。また、カウンタ203は、CPU10からのリセット信号により計数値をゼロに設定する。このリセット信号は、電源投入時などカウンタを初期状態に戻す時に出力される。

- [0079] レジスタ204は、カウンタ203の計数値、即ちFIFOメモリ100内のデータ蓄積量を保持する。このレジスタ204の保持値は、CPU10から読み出し可能である。このレジスタ204により、CPU10は、FIFOメモリ100内のデータ蓄積量を取得することができる。
- [0080] レジスタ205は、CPU10からFIFOメモリ100へのデータ書き込みを完了させる量を保持する。この書き込み完了蓄積量は、CPU10により任意の値に設定可能である。
- [0081] 比較部206は、カウンタ203の計数値すなわちFIFOメモリ100内のデータ蓄積量と、レジスタ205の保持値すなわち書き込み完了蓄積量とを比較する。そして、双方が一致した場合に、書き込み完了通知信号発生部207へ一致信号を出力する。
- [0082] 書き込み完了通知信号発生部207は、比較部206から一致信号を受信すると、書き込み開始通知信号を発生してPC2へ割り込み信号として出力する。すなわち、CPU10による上記した所定量のFIFOメモリ100へのデータ書き込みが検出された場合に、書き込み完了通知信号を発生する。これにより、PC2のCPUは、FIFOメモリ100からのデータ読み出しを開始する。
- [0083] タイマ208は、メモリライト部202からFIFOメモリ100へのライト信号が発生した後、その次のライト信号が途切れている期間を計時する。そして、計時値が所定のタイマ期間に達すると(タイムアウト時)、書き込み完了通知発生部207へタイムアウト信号を出力する。
- [0084] 書き込み完了通知信号発生部207は、タイマ208からタイムアウト信号を受信すると、書き込み完了通知信号を発生してPC2へ割り込み信号として出力する。すなわち、CPU10によるFIFOメモリ100へのデータ書き込みの終了が検出された場合に、書き込み完了通知信号を発生する。これにより、PC2のCPUは、FIFOメモリ100からのデータ読み出しを開始する。また、書き込み完了通知信号はタイマ208に入力され、タイマ208をリセットする。
- [0085] レジスタ209は、FIFOメモリ100からのデータの読み出しが完了する蓄積量(読み出し完了蓄積量)を保持する。この読み出し完了蓄積量は、CPU10により任意の値に設定可能であるが、通常は0がセットされる。

- [0086] 比較部210は、カウンタ203の計数値すなわちFIFOメモリ100内のデータ蓄積量と、レジスタ209の保持値すなわち読み出し完了蓄積量とを比較する。そして、双方が一致した場合に、割り込み信号発生部211へ一致信号を出力する。
- [0087] 割り込み信号発生部211は、比較部210から一致信号を受信した場合、割り込み信号を発生してCPU10へ出力する。この割り込み信号を受けると、CPU10は、それ以降のデータ書き出し動作の可能を通知される。
- [0088] 次に、図6、図7を参照して、上記図1に示すPCカード1aにおけるメモリインタフェースに係るPCカード1aからPC2へのデータ書き込み時の動作を説明する。図6、図7は、本実施形態に係るメモリインタフェース処理の流れを示す第1、第2のシーケンスチャートである。
- [0089] 初めに、図6を参照して、第1のシーケンスを説明する。この第1のシーケンスは、CPU10からFIFOメモリ100に書き込まれるデータ量が所定値以上である場合に対応する。
- [0090] 図6において、CPU10が現在FIFOメモリ100に蓄積されているデータ蓄積量をレジスタ204の内容から確認する(ステップS21、ステップS22)。確認されたデータ蓄積量によりCPU10がFIFOメモリ100にデータを書き込む(ステップS23)。
- [0091] このときメモリライト部202からのライト信号はカウンタ203のカウント値をアップさせる。
- [0092] 次に、FIFOメモリ100内のデータ蓄積量がレジスタ205に保持される書き込み完了蓄積量に到達すると、メモリインタフェース部220は、書き込み完了通知発生部からPC2に対して書き込み完了通知信号である割り込み信号を出力する(ステップS24)。
- [0093] 割り込み信号を入力したPC2はメモリリード部201に対してリードコマンドを出力し、メモリリード部201はFIFOメモリ100からデータを所定単位ごと(ここでは16バイト)に読み出し、PC2に出力する(ステップS25)。このときメモリリード部201からのリード信号はカウンタ203の値をダウンさせる。
- [0094] PC2に出力されるデータは、付加されるデータステータスにより最後のデータが判別される(ステップS26)。

- [0095] また、カウンタ203の値がメモリリード部201からのリード信号は、カウンタ203の値をダウンし、レジスタ209の読み出し完了蓄積量と同じになる、即ちFIFOメモリ100からの読み出しが完了したと判断されると、比較部210から割り込み信号発生部211へ割り込み信号が出力され、CPU10のデータ書き出し動作の可能を通知する(ステップS27)。
- [0096] 次に、図7を参照して、第2のシーケンスを説明する。この第2のシーケンスは、CPU10からFIFOメモリ100に書き込まれるデータが所定値未満であるときに対応する。
- [0097] 図7において、上記図6と同様に、CPU10が現在FIFOメモリ100に蓄積されているデータ蓄積量をレジスタ204の内容から確認する(ステップS21、ステップS22)。確認されたデータ蓄積量によりCPU10がFIFOメモリ100にデータを書き込む(ステップS23)。
- [0098] 次いで、CPU10からのデータ書き込みが終了した後、書き込み完了蓄積量がレジスタ205にセットされた蓄積量に達しなかった場合、タイマ208がタイマ期間を満了し、タイムアウトする。これによりメモリインタフェース部220は、書き込み完了通知発生部207により割り込み信号を発生し、PC2へ出力する(ステップS24a)。この割り込みにより、PC2が、上記図6と同様にして、FIFOメモリ100から全蓄積データを読み出す(ステップS25～ステップS27)。
- [0099] 上述したように本実施形態によれば、PCカード1aからPC2へのデータ書き込みの際にもFIFOメモリ100内のデータ蓄積量を把握した上で、FIFOメモリ100からPC2へデータを書き込むことができるので、データ処理を計画的に行うことができる。
- [0100] 以上、本発明の実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。
- [0101] 例えば、上述した実施形態では、FIFOメモリを使用したか、ランダムアクセスメモリ(RAM)にも応用することができる。例えば、メモリライト部101がRAMの0番地から大きな番地へと順番にデータを書き込み、CPU10が同様にRAMの0番地から大きな番地へと順番にデータを読み出すようにする。

[0102] また、本発明に係るメモリインタフェース装置の制御対象のメモリ書き込み装置として携帯型パーソナルコンピュータを例に挙げたが、メモリ書き込み装置はこれに限定されるものではない。同様に、メモリ読み出し装置は、PCカードのCPUに限定されるものではない。すなわち、本発明に係るメモリインタフェース装置は、上記したメモリ書き込み手順を遵守するメモリ書き込み装置、及びこのメモリ書き込み装置によってアクセスされるメモリからデータを読み出すメモリ読み出し装置、に対するメモリアクセス制御を実現するものとして、広く適用することができる。また、本発明に係るメモリインタフェース装置は、メモリ書き込み装置によってアクセスされるメモリからデータを読み出し、該読み出したデータに対して所定の処理を行うデータ処理手段を具備するものであってもよい。

[0103] 図8にその一例を示す。図8は発明のメモリインターフェース装置を無線モデム装置に応用した例を示すブロック図である。RAM303、ROM304はCPU10aに接続され、モデム動作に必要なデータを入出力する。PCカード型などの無線モデム装置1bは、モデムインターフェース300を介してPC2とデータや各種コマンドのやり取りを行う。パケット通信データなどの通信データ、CPU10aの制御ATコマンド、FIFOメモリ100のライトコマンド、リードコマンドは本発明の実施形態で説明したようにFIFOメモリにより書き込み、読み出しが行われる。書き込まれた通信データはCPU10aにより各種無線プロトコルに準じて無線部301に接続されたアンテナ302より送信され、また無線部301により受信された各種無線プロトコルに準じた通信データは、CPU10aにより通信データに変換され、FIFOメモリ100を介してPC2に書き込まれる。

産業上の利用可能性

[0104] 本発明によれば、メモリ書き込み装置からの所定量単位のデータ書き込みの度に読み出し完了通知信号を発生するので、当該メモリ書き込み装置におけるメモリ書き込み手順に対応することができ、当該メモリ書き込み装置(例えばPCカードのホスト装置)用の既存の通信制御プログラムを流用することが可能である。

[0105] さらに、メモリ内に該メモリ書き込み手順による所定量以上のデータを蓄積し、当該メモリ書き込み装置から書き込まれたデータをまとめて読み出すことができるので、メモリ読み出し装置への割り込み発生回数を減らすことができるとともに、当該メモリ読

み出し装置が一つの割り込み処理で扱うデータ量を増やすことができる。この結果、割り込み処理による負荷が軽減されること、データ処理をまとめて効率的に実行できること等により、メモリ読み出し装置（例えばPCカードのCPU）の負荷が軽減されて、処理速度が向上するという優れた効果が得られる。また、データをPCカードからPC書き込む場合も、第2のメモリ書き込み読み出し装置（CPU）からの所定量単位のデータ書き込後に書き込み完了通知信号を第1のメモリ書き込み読み出し装置（PC）に発生するので、第2のメモリ書き込み読み出し装置から書き込まれたデータをまとめて読み出すことができ効率よく処理することができる。

請求の範囲

- [1] 所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するメモリ書き込み装置、及び前記メモリからデータを読み出すメモリ読み出し装置、に対してメモリアクセスを制御するメモリインタフェース装置において、
- 前記メモリ書き込み装置から前記メモリへの前記所定量単位のデータ書き込みを検出する書き込み検出手段と、
- 前記所定量単位のデータ書き込みが検出された場合に、前記メモリ書き込み装置に対して、前記メモリからのデータの読み出しが完了したことを通知する信号を発生する信号発生手段と、
- 前記メモリ内のデータ蓄積量を計測するデータ蓄積量計測手段と、
- 前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生するメモリ読み出し制御手段と、
- を備えたことを特徴とするメモリインタフェース装置。
- [2] 所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するメモリ書き込み装置に接続され、該メモリ書き込み装置に対してメモリアクセスを制御するメモリインタフェース装置において、
- 前記メモリ書き込み装置から前記メモリへの前記所定量単位のデータ書き込みを検出する書き込み検出手段と、
- 前記所定量単位のデータ書き込みが検出された場合に、前記メモリ書き込み装置に対して、前記メモリからのデータの読み出しが完了したことを通知する信号を発生する信号発生手段と、
- 前記メモリ内のデータ蓄積量を計測するデータ蓄積量計測手段と、
- 前記メモリからデータを読み出し該データに対して所定の処理を行うデータ処理手段と、
- 前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前

記データ処理手段に対して割り込み信号を発生するメモリ読み出し制御手段と、
を備えたことを特徴とするメモリインタフェース装置。

- [3] 前記メモリ読み出し制御手段は、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記信号発生手段による信号発生を一時的に停止させることを特徴とする請求項1または請求項2に記載のメモリインタフェース装置。

- [4] 前記所定量単位 of データ書き込みが途切れている期間を計時し、この計時値が所定のタイマ期間に達すると、前記メモリ読み出し制御手段へタイムアウト信号を出力するタイマを備え、

前記メモリ読み出し制御手段は、前記タイムアウト信号を受信した場合にも、前記メモリ読み出し装置に対して割り込み信号を発生することを特徴とする請求項1乃至請求項3のいずれかの項に記載のメモリインタフェース装置。

- [5] 所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するメモリ書き込み装置、及び前記メモリからデータを読み出すメモリ読み出し装置、に対してメモリアクセスを制御するメモリインタフェース方法であって、

前記メモリ書き込み装置から前記メモリへの前記所定量単位 of データ書き込みを検出する過程と、

前記所定量単位 of データ書き込みが検出された場合に、前記メモリ書き込み装置に対して、前記メモリからのデータの読み出しが完了したことを通知する過程と、

前記メモリ内のデータ蓄積量を計測する過程と、

前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生する過程と、

を含むことを特徴とするメモリインタフェース方法。

- [6] 前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記読み出し完了通知を一時的に停止させる過程をさらに含むことを特徴とする請求項5に記載のメモリインタフェース方法。

- [7] 前記所定量単位 of データ書き込みが途切れている期間を計時する過程と、

この計時値が所定のタイマ期間に達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生する過程と、

をさらに含むことを特徴とする請求項5または請求項6に記載のメモリインタフェース方法。

- [8] 所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守する第1のメモリ書き込み読み出し装置、及び前記メモリにデータを書き込み読み出す第2のメモリ書き込み読み出し装置、に対してメモリアクセスを制御するメモリインタフェース装置において、

前記第1のメモリ書き込み読み出し装置から前記メモリへの前記所定量単位のデータ書き込みを検出する書き込み検出手段と、

前記所定量単位のデータ書き込みが検出された場合に、前記第1のメモリ書き込み読み出し装置に対して、前記メモリからのデータの読み出しが完了したことを通知する信号を発生する第1の完了信号発生手段と、

前記メモリ内のデータ蓄積量を計測する第1のデータ蓄積量計測手段と、

前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記第2のメモリ書き込み読み出し装置に対して割り込み信号を発生する第1のメモリ読み出し制御手段と、

前記第2のメモリ書き込み読み出し装置から前記メモリへの所定量のデータ書き込みを検出する書き込み量検出手段と、

前記所定量のデータ書き込みが検出された場合に、前記第1のメモリ書き込み読み出し装置に対して、前記メモリへのデータの書き込みの完了を通知する信号を発生する第2の完了信号発生手段と、

前記メモリ内のデータ蓄積量を計測する第2のデータ蓄積量計測手段と、

前記メモリ内のデータ蓄積量が所定の読み出し完了蓄積量に到達した場合に、前記第2のメモリ書き込み読み出し装置に対して割り込み信号を発生する第2のメモリ読み出し制御手段と、

を備えたことを特徴とするメモリインタフェース装置。

- [9] 前記第1のメモリ読み出し制御手段は、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記第1の完了信号発生手段による信号発生を一時的に停止させることを特徴とする請求項8に記載のメモリインタフェース装置。
- [10] 前記所定量単位のデータ書き込みが途切れている期間を計時し、この計時値が所定のタイマ期間に達すると、前記第1のメモリ読み出し制御手段へタイムアウト信号を出力する第1のタイマを備え、
前記第1のメモリ読み出し制御手段は、前記タイムアウト信号を受信した場合にも、前記第2のメモリ書き込み読み出し装置に対して割り込み信号を発生することを特徴とする請求項8または請求項9のいずれかの項に記載のメモリインタフェース装置。
- [11] 前記第2のメモリ書き込み読み出し装置からメモリへのデータ書き込みが途切れている期間を計時し、この計時値が所定のタイマ期間に達すると、前記第2の完了信号発生手段にタイムアウト信号を出力する第2のタイマを備え、
前記第2の完了信号発生手段は、前記タイムアウト信号を受信した場合に、前記第1のメモリ書き込み読み出し装置に対して完了通知信号を発生することを特徴とする請求項8乃至請求項10のいずれかの項に記載のメモリインタフェース装置。
- [12] 所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守する第1のメモリ書き込み読み出し装置、及び前記メモリにデータを書き込み読み出す第2のメモリ書き込み読み出し装置、に対してメモリアクセスを制御するメモリインタフェース方法であって、
前記メモリ書き込み装置から前記メモリへの前記所定量単位のデータ書き込みを検出する過程と、
前記所定量単位のデータ書き込みが検出された場合に、前記第1のメモリ書き込み読み出し装置に対して、前記メモリからのデータの読み出しが完了したことを通知する過程と、
前記メモリ内のデータ蓄積量を計測する過程と、
前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生する過程と、

前記第2のメモリ書き込み読み出し装置から前記メモリへの所定量のデータ書き込みを検出する過程と、

前記所定量のデータ書き込みが検出された場合に、前記第1のメモリ書き込み読み出し装置に対して、前記メモリのデータの書き込みの完了を通知する信号を発生する過程と、

前記メモリ内のデータ蓄積量を計測する過程と、

前記メモリ内のデータ蓄積量が所定の読み出し完了蓄積量に到達した場合に、前記第2のメモリ書き込み読み出し装置に対して割り込み信号を発生する過程と、

を含むことを特徴とするメモリインタフェース方法。

- [13] 前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記読み出し完了通知を一時的に停止させる過程をさらに含むことを特徴とする請求項12に記載のメモリインタフェース方法。

- [14] 前記所定量単位のデータ書き込みが途切れている期間を計時する過程と、
この計時値が所定のタイマ期間に達した場合に、前記第2のメモリ書き込み読み出し装置に対して割り込み信号を発生する過程と、
をさらに含むことを特徴とする請求項12または請求項13に記載のメモリインタフェース方法。

- [15] 前記第2のメモリ書き込み読み出し装置からメモリへのデータ書き込みが途切れている期間を計時する過程と、
この計時値が所定のタイマ期間に達すると、タイムアウト信号を出力する過程と、
前記タイムアウト信号により前記第1のメモリ書き込み読み出し装置に対して完了信号を出力する過程と、
をさらに含むことを特徴とする請求項12乃至請求項14に記載のメモリインタフェース方法。

- [16] 所定量単位でメモリに通信データ、制御コマンドのデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するデータ処理装置に接続され、
前記データ処理装置とのデータ交換を行うモデムインターフェースと、前記メモリと

、前期メモリから前記データを読み出すメモリ読み出し装置と、前期メモリ読み出し装置に接続され前記通信データを送受信する通信手段とを備えたモデム装置において、

前記メモリ書き込み装置から前記メモリへの前記所定量単位のデータ書き込みを検出する書き込み検出手段と、

前記所定量単位のデータ書き込みが検出された場合に、前記データ処理装置に対して、前記メモリからのデータの読み出しが完了したことを通知する信号を発生する信号発生手段と、

前記メモリ内のデータ蓄積量を計測するデータ蓄積量計測手段と、

前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生するメモリ読み出し制御手段と、
を備えたことを特徴とするモデム装置。

[17] 所定量単位でメモリに通信データ、制御コマンドのデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するデータ処理装置に接続され、

前記データ処理装置とのデータ交換を行うモデムインターフェースと、前記メモリと、
前期メモリに前記データを書き込み読み出すメモリ書き込み読み出し装置と、前期メモリ書き込み読み出し装置に接続され前記通信データを送受信する通信手段とを備えたモデム装置において、

前記メモリ書き込み読み出し装置から前記メモリへの前記所定量単位のデータ書き込みを検出する書き込み検出手段と、

前記所定量単位のデータ書き込みが検出された場合に、前記データ処理装置に対して、前記メモリからのデータの読み出しが完了したことを通知する信号を発生する第1の完了信号発生手段と、

前記メモリ内のデータ蓄積量を計測する第1のデータ蓄積量計測手段と、

前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生する第1のメモリ読み出し制御手段と、

前記メモリ書き込み読み出し装置から前記メモリへの所定量のデータ書き込みを検出する書き込み量検出手段と、

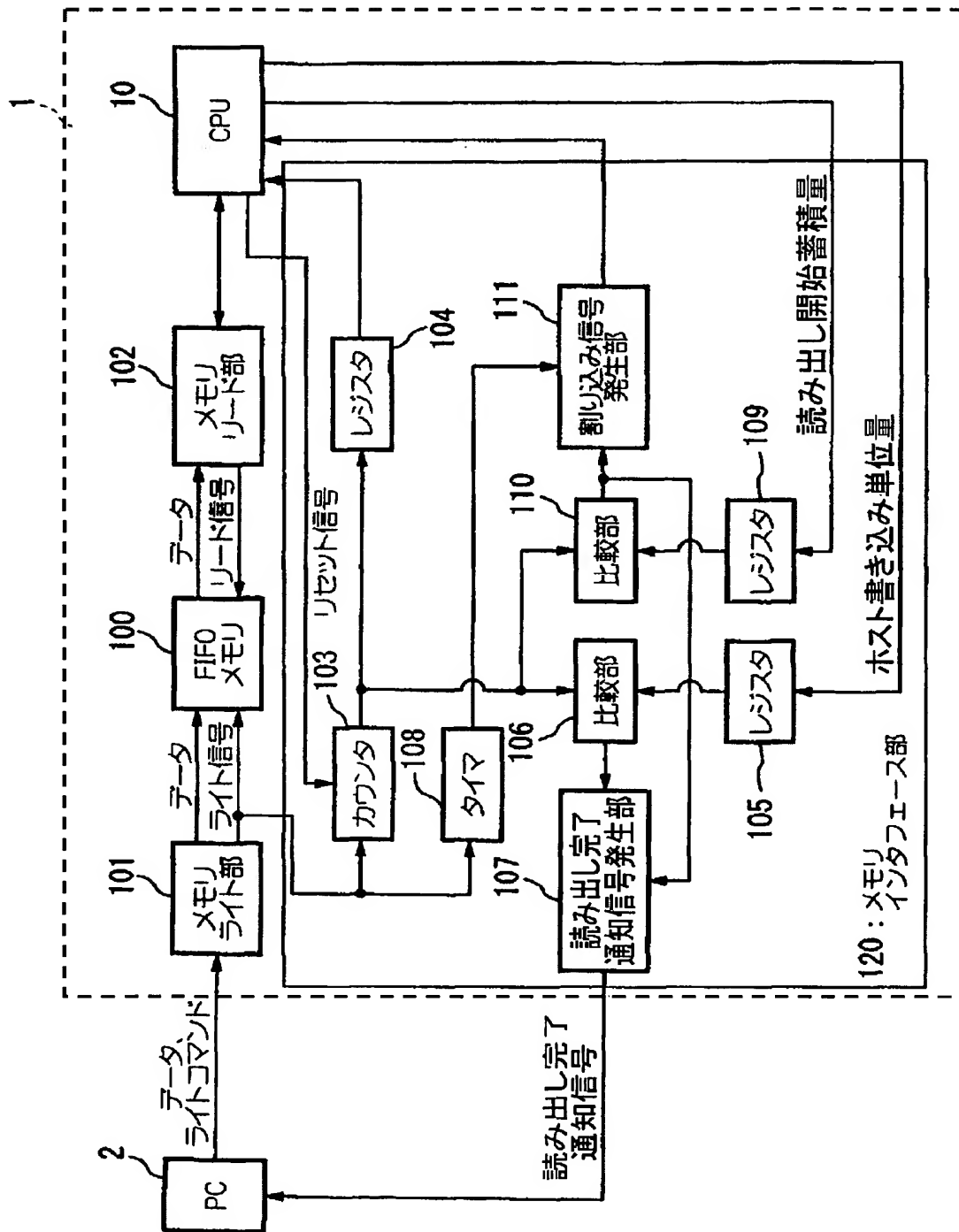
前記所定量のデータ書き込みが検出された場合に、前記データ処理装置に対して、前記メモリのデータの書き込みの完了を通知する信号を発生する第2の完了信号発生手段と、

前記メモリ内のデータ蓄積量を計測する第2のデータ蓄積量計測手段と、

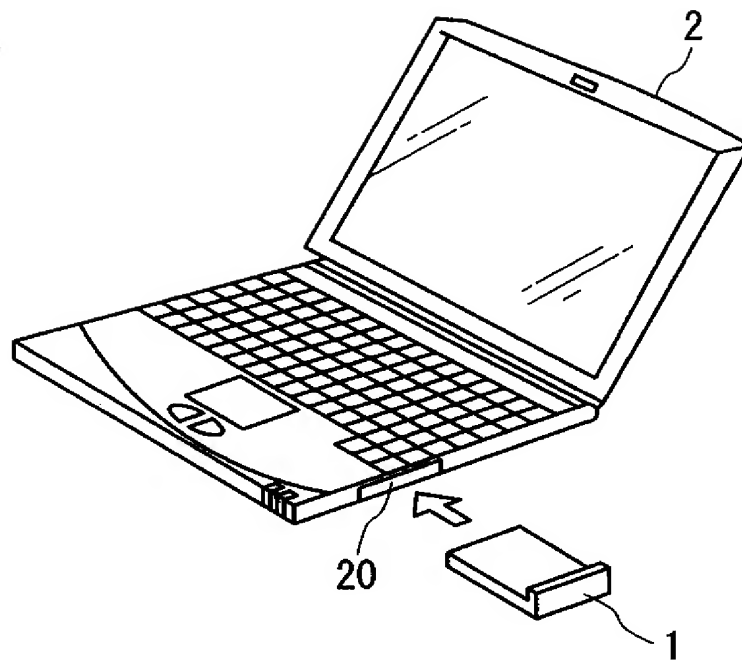
前記メモリ内のデータ蓄積量が所定の読み出し完了蓄積量に到達した場合に、前記メモリ書き出し読み出し装置に対して割り込み信号を発生する第2のメモリ読み出し制御手段と、

を備えたことを特徴とするモデム装置。

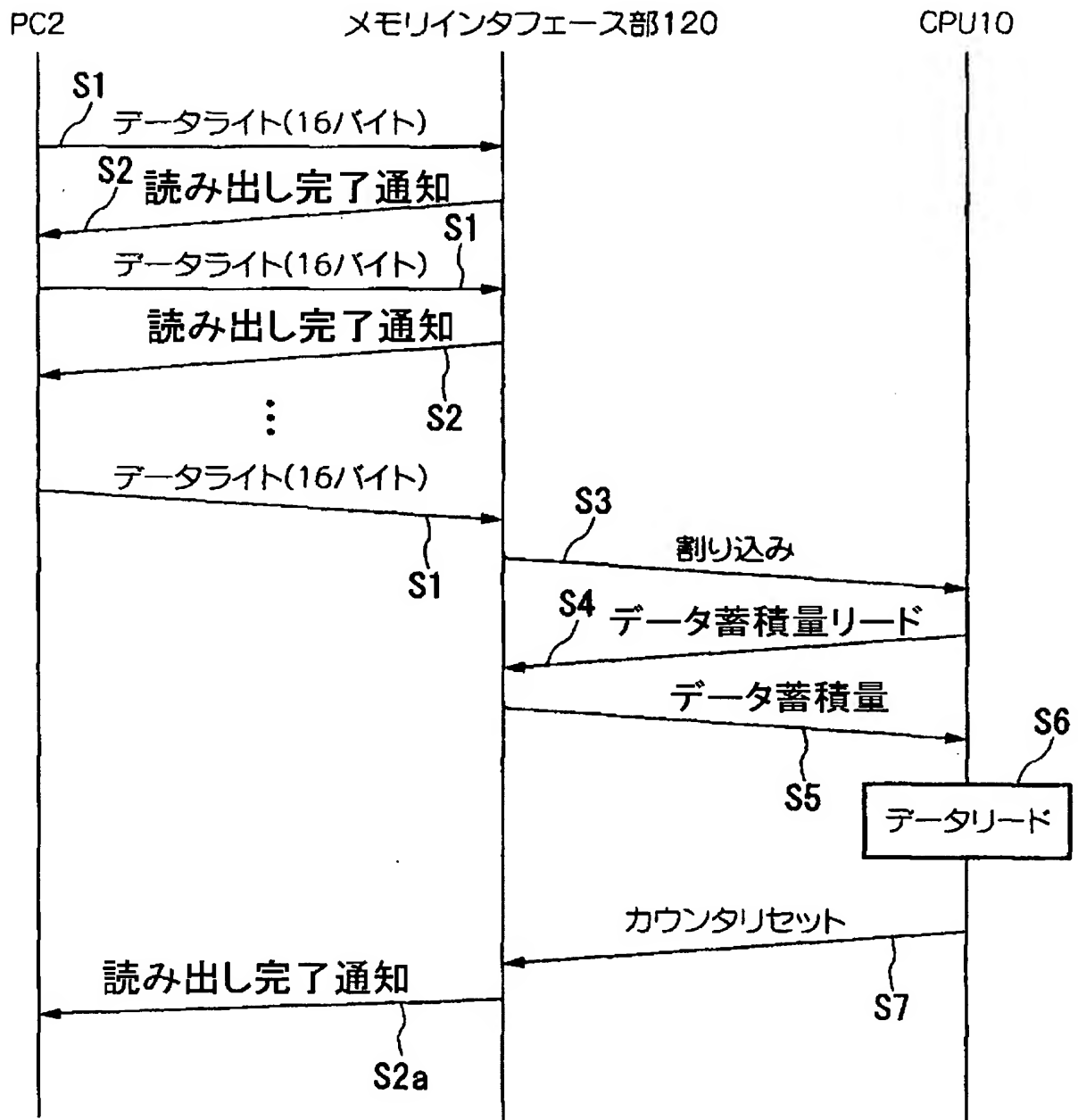
[図 1]



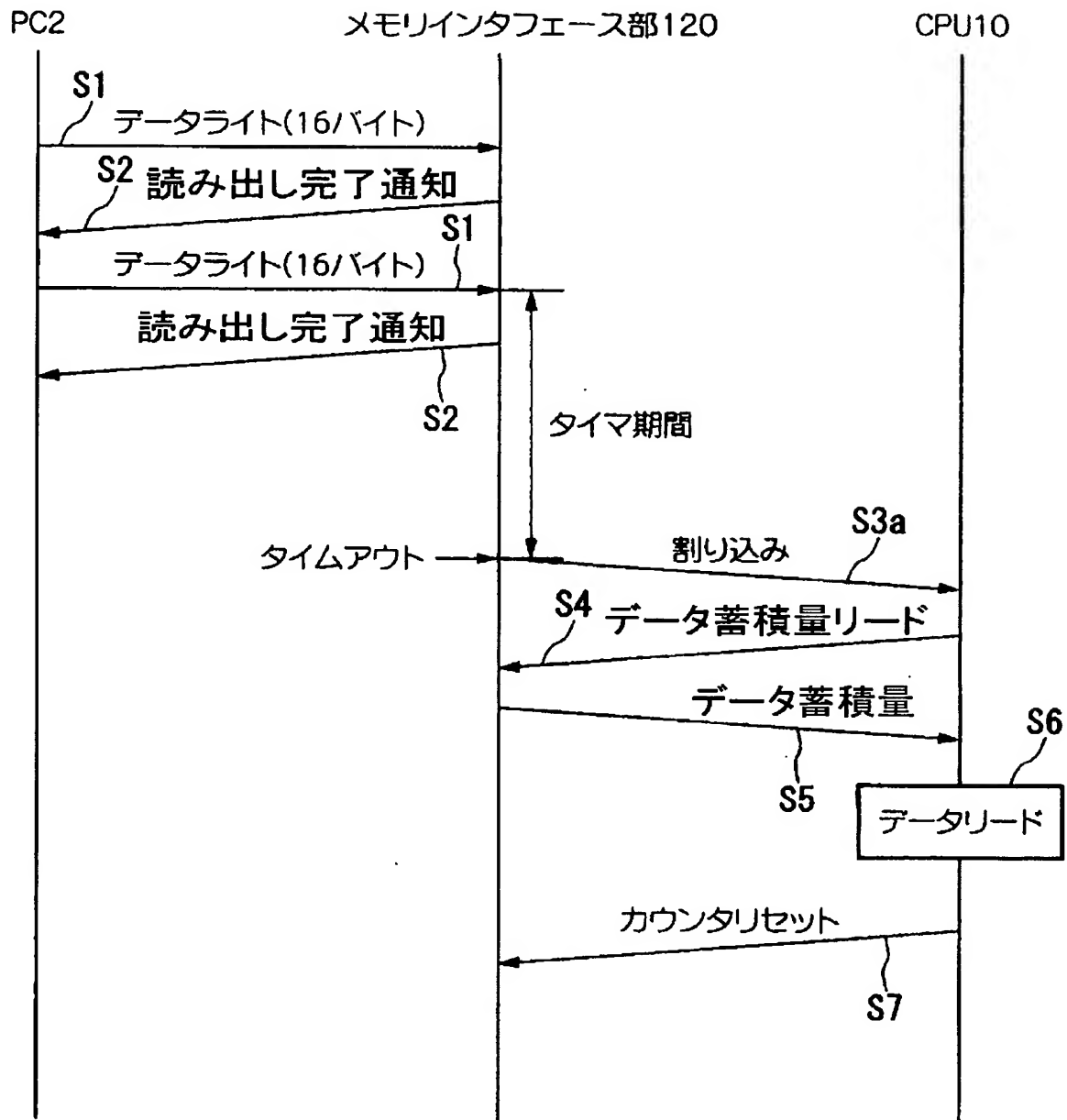
[図2]



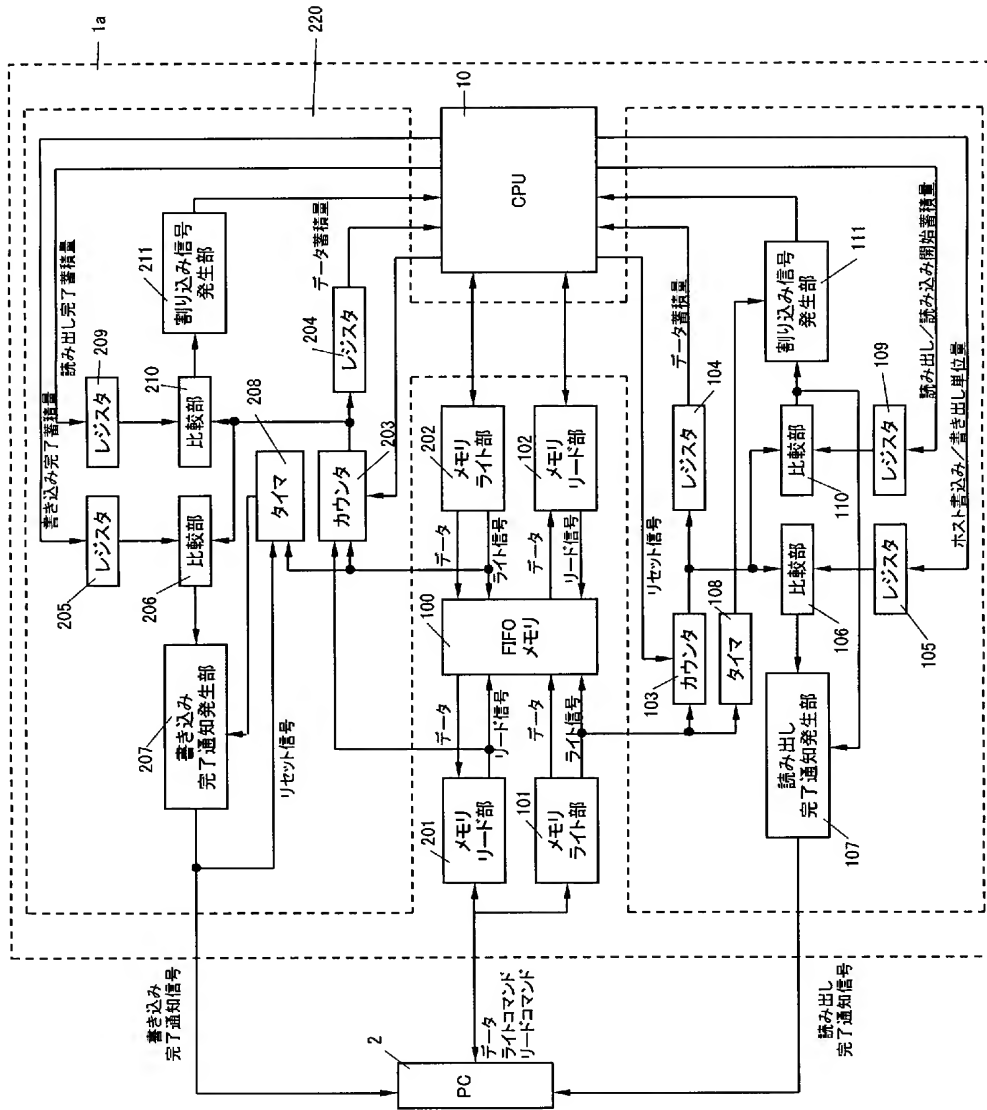
[図 3]



[図4]



[図5]



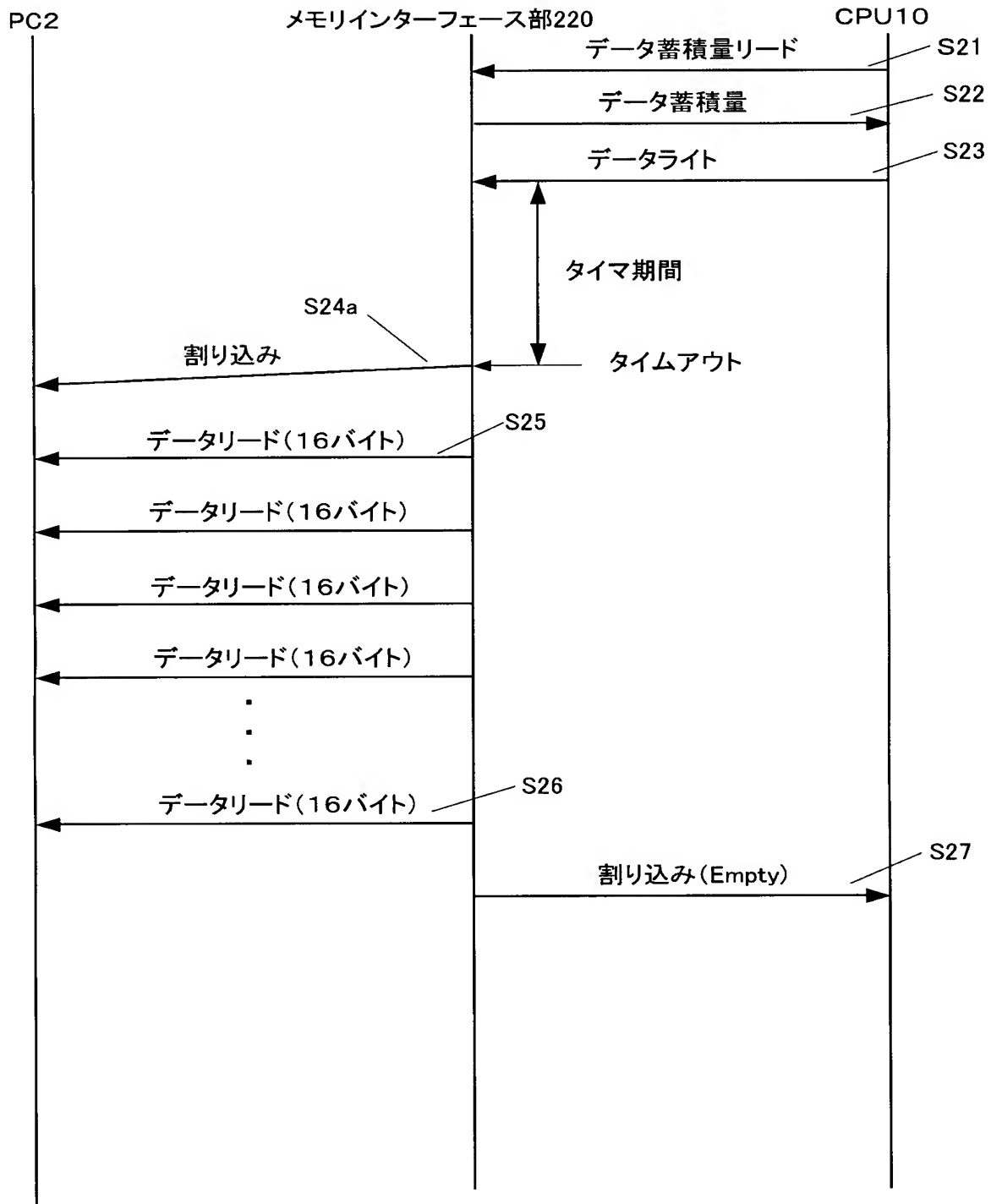
```

sequenceDiagram
    participant PC2
    participant MIF220 as メモリインターフェース部220
    participant CPU10

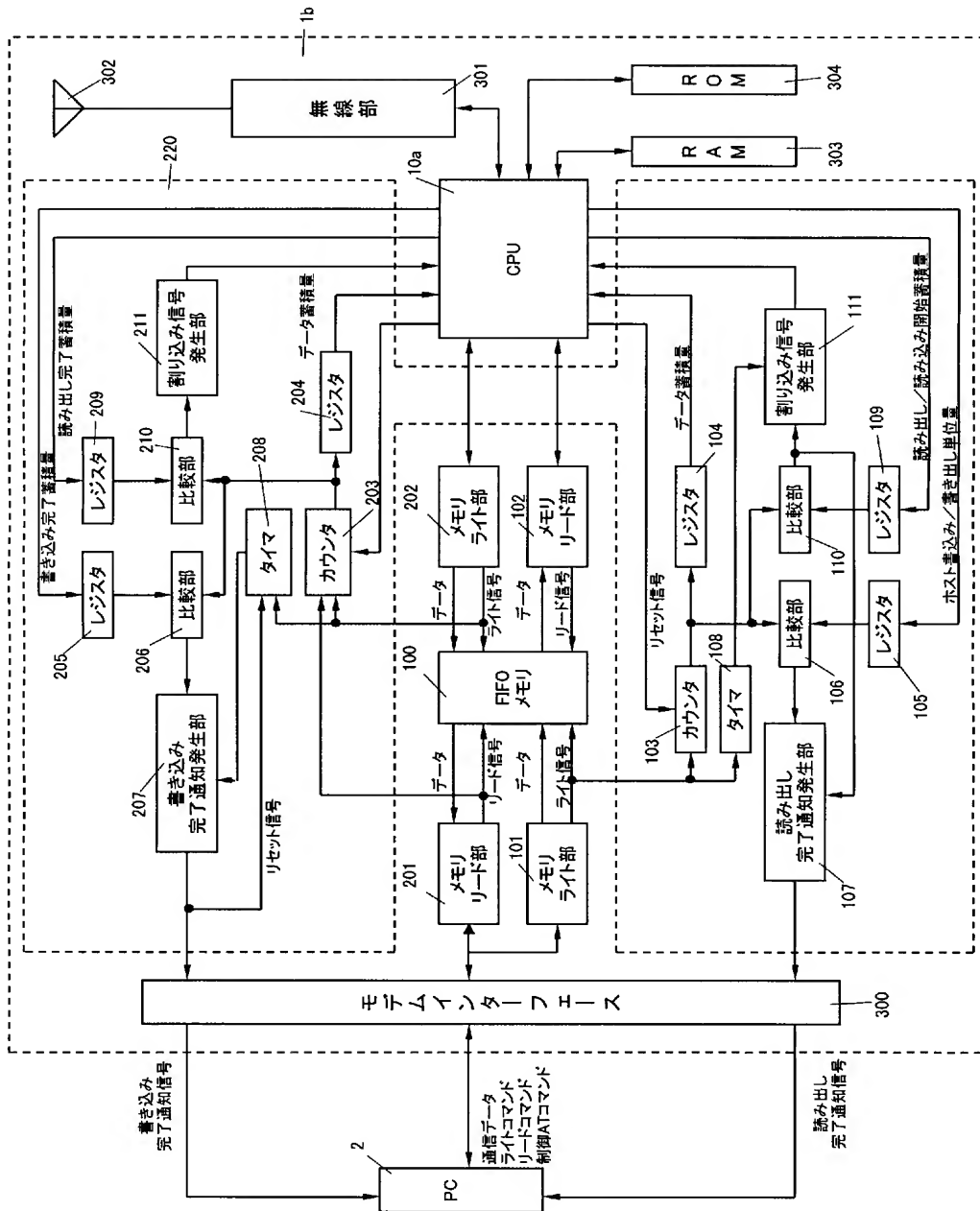
    CPU10->>MIF220: データ蓄積量リード (S21)
    MIF220->>CPU10: データ蓄積量 (S22)
    CPU10->>MIF220: データライト (S23)
    MIF220->>PC2: 割り込み (S24)
    PC2->>MIF220: データリード(16バイト) (S25)
    PC2->>MIF220: データリード(16バイト)
    PC2->>MIF220: データリード(16バイト)
    PC2->>MIF220: データリード(16バイト)
    PC2->>MIF220: データリード(16バイト)
    PC2->>MIF220: .
    PC2->>MIF220: .
    PC2->>MIF220: データリード(16バイト) (S26)
    MIF220->>CPU10: 割り込み (Empty) (S27)
  
```

The diagram illustrates the data transfer process between PC2, the Memory Interface Unit 220, and CPU10. The process begins with CPU10 sending a 'データ蓄積量リード' (Data Accumulation Read) signal to the Memory Interface Unit 220 (S21). The unit then returns the 'データ蓄積量' (Data Accumulation) to CPU10 (S22). CPU10 then sends a 'データライト' (Data Write) signal to the unit (S23). The unit sends an interrupt signal '割り込み' (S24) to PC2. PC2 then sends a series of 'データリード(16バイト)' (Data Read 16 bytes) signals to the unit (S25). This is followed by several more 'データリード(16バイト)' signals, indicated by vertical dots, and finally a 'データリード(16バイト)' signal (S26). The unit then sends an '割り込み (Empty)' (S27) signal back to CPU10.

[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000011

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G06F13/38, G06F3/06, G06K19/07, G06K17/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G06F13/38, G06F3/06, G06K19/07, G06K17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST FILE,
[FIFO*RENZOKU KAKIKOMI (in Japanese)*YOMIDASHI KANRYO (in Japanese)]

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-022248 A (Sony Corp.), 24 January, 2003 (24.01.03), Page 5, column 8, line 8 to page 6, column 10, line 44; Fig. 5 (Family: none)	1-17
A	JP 9-171486 A (Seiko Epson Corp.), 30 June, 1997 (30.06.97), Page 5, column 7, line 17 to column 8, line 50; Fig. 2 & US 5847997 A	1-17
A	JP 2000-267936 A (Hitachi, Ltd.), 29 September, 2000 (29.09.00), Page 4, column 5, lines 5 to 36; Fig. 1 (Family: none)	1-17

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 April, 2005 (05.04.05)Date of mailing of the international search report
19 April, 2005 (19.04.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ G06F 13/38, G06F 3/06, G06K 19/07, G06K 17/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ G06F 13/38, G06F 3/06, G06K 19/07, G06K 17/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

J I C S T 科学技術文献ファイル 「F I F O * 連続書込み * 読出し完了」

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2003-022248 A (ソニー株式会社) 2003.01.24, 第5頁, 第8欄, 第8行-第6頁, 第10 欄, 第44行, 第5図 (ファミリーなし)	1-17
A	J P 9-171486 A (セイコーエプソン株式会社) 1997.06.30, 第5頁, 第7欄, 第17行-第8欄, 第5 0行, 第2図 & US 5847997 A	1-17
A	J P 2000-267936 A (株式会社日立製作所)	1-17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

05.04.2005

国際調査報告の発送日

19.4.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井 茂和

5 R

8837

電話番号 03-3581-1101 内線 3565

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	2000.09.29, 第4頁, 第5欄, 第5-36行, 第1図 (ファミリーなし)	